

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-088550

(43)Date of publication of application : 02.04.1996

(51)Int.Cl.

H03K 17/16  
H02M 1/08  
H03K 17/56  
// H02M 7/537

(21)Application number : 06-224753

(71)Applicant : HITACHI LTD  
HITACHI HARAMACHI SEMICONDUCTOR LTD

(22)Date of filing : 20.09.1994

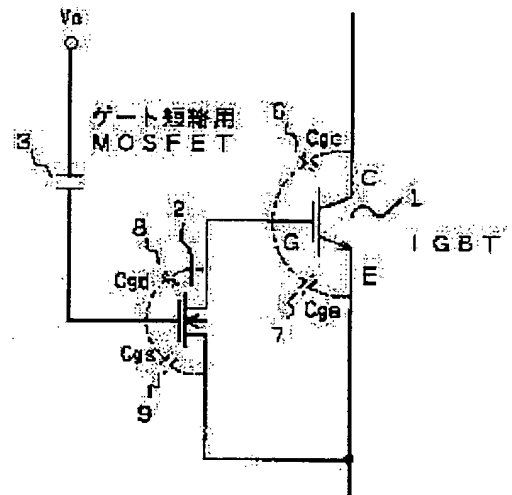
(72)Inventor : OURA HITOSHI  
KAWAMOTO KOJI  
OZEKI SHOICHI

## (54) SEMICONDUCTOR CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

**PURPOSE:** To reduce power consumption and to reduce a chip area by connecting a capacitor between the gate of the MOSFET for gate shortcircuit of a bipolar transistor and the collector of the bipolar transistor.

**CONSTITUTION:** When a transiently changing voltage is applied between the collector and the emitter, a displacement current flows between fixed potential  $V_0$  and the emitter electrode of an insulating gate bipolar transistor (IGBT) 1 via the capacitor 3 and the gate and source electrodes of the MOSFET 2 for gate short-circuit. The gate parasitic capacitances 8, 9 of the FET 2 are charged by the displacement current, which connects electrically the drain electrode to the source electrode. While, the parasitic capacitances 6, 7 of the IGBT are also charged. An electric charge which charges the parasitic capacitances is discharged via the FET 2. Therefore, the gate voltage of the IGBT is not increased, which excludes to turn, on the IGBT, and the displacement current flows only when the voltage changes. which reduces the power consumption.



## LEGAL STATUS

[Date of request for examination] 18.12.1997

[Date of sending the examiner's decision of rejection] 08.02.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3222330

[Date of registration] 17.08.2001

[Number of appeal against examiner's decision of rejection] 2000-05138

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-88550

(43)公開日 平成8年(1996)4月2日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/16	E	9184-5K		
H 0 2 M 1/08	A			
H 0 3 K 17/56				
// H 0 2 M 7/537	E	9181-5H		
		9184-5K		
			H 0 3 K 17/ 56	Z
			審査請求 未請求	請求項の数12 O L (全 8 頁)

(21)出願番号 特願平6-224753

(22)出願日 平成6年(1994)9月20日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233273

日立原町電子工業株式会社

茨城県日立市弁天町3丁目10番2号

(72)発明者 大浦 仁

茨城県日立市弁天町三丁目10番2号 日立  
原町電子工業株式会社内

(72)発明者 川本 幸司

茨城県日立市幸町三丁目1番1号 株式会  
社日立製作所日立工場内

(74)代理人 弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 半導体回路及び半導体集積回路

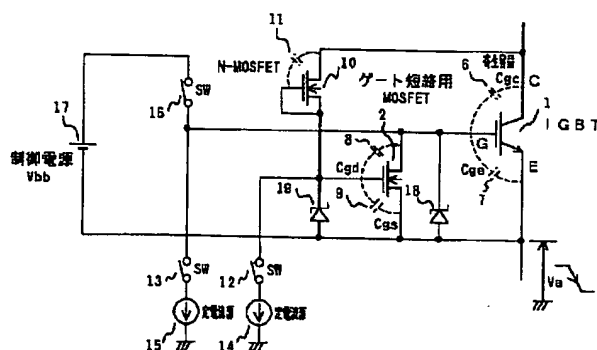
(57)【要約】

【目的】消費電力が小さくかつモノリシック化のときにチップ面積を縮小できる、IGBTやMOSFET用の( $dV/dt$ )誤動作防止回路を実現する。

【構成】IGBTのゲート・ソース間にゲート短絡用のMOSFETを備え、そのMOSFETのゲートとIGBTのコレクタ間にコンデンサを接続する。これにより、( $dV/dt$ )発生時にゲート短絡用MOSFETがオンしてIGBTのゲートを短絡して誤動作を防止する。

【効果】( $dV/dt$ )発生時のみ保護回路が動作するので、消費電力が小さくなる。また、大きな抵抗を必要としないので、モノリシックチップ面積の縮小化を実現できる。

図 2



## 【特許請求の範囲】

【請求項 1】 一对の主電極及び絶縁ゲート電極を有する第 1 の半導体装置と、

第 1 の主電極、第 2 の主電極及び制御電極を有し、第 1 の主電極が第 1 の半導体装置の絶縁ゲート電極に接続され、第 2 の主電極が第 1 の半導体装置の一方の主電極に接続される第 2 の半導体装置と、

第 2 の半導体装置の制御電極と固定電位との間に接続される容量素子と、を備えることを特徴とする半導体回路。

【請求項 2】 請求項 1 において、固定電位を第 1 の半導体装置の他方の主電極の電位とすることを特徴とする半導体回路。

【請求項 3】 請求項 1 において、固定電位を第 1 の半導体装置の駆動回路の電源の電位とすることを特徴とする半導体回路。

【請求項 4】 請求項 1 において、容量素子が MOS 電界効果トランジスタである特徴とする半導体回路。

【請求項 5】 請求項 1 において、容量素子がコンデンサである特徴とする半導体回路。

【請求項 6】 請求項 1 において、第 1 の半導体装置が絶縁ゲートバイポーラトランジスタであることを特徴とする半導体回路。

【請求項 7】 請求項 1 において、第 1 の半導体装置が MOS 電界効果トランジスタであることを特徴とする半導体回路。

【請求項 8】 請求項 1 において、第 2 の半導体装置が MOS 電界効果トランジスタであることを特徴とする半導体回路。

【請求項 9】 請求項 1 において、第 2 の半導体装置がバイポーラトランジスタであることを特徴とする半導体回路。

【請求項 10】 一对の主電極及び絶縁ゲート電極を有し、直列接続されるとともに直流電源に接続され、直列接続点から出力が取り出される複数の第 1 の半導体装置と、

第 1 の主電極、第 2 の主電極及び制御電極を有し、第 1 の主電極が少なくとも 1 個の第 1 の半導体装置の絶縁ゲート電極に接続され、第 2 の主電極が前記 1 個の第 1 の半導体装置の一方の主電極に接続される第 2 の半導体装置と、

第 2 の半導体装置の制御電極と固定電位との間に接続される容量素子と、を備えることを特徴とする半導体回路。

【請求項 11】 同一の半導体基体に、一对の主電極及び絶縁ゲート電極を有する第 1 の半導体装置と、

第 1 の主電極、第 2 の主電極及び制御電極を有し、第 1 の主電極が第 1 の半導体装置の絶縁ゲート電極に接続され、第 2 の主電極が第 1 の半導体装置の一方の主電極に

接続される第 2 の半導体装置と、

第 2 の半導体装置の制御電極と固定電位との間に接続される容量素子と、を形成することを特徴とする半導体集積回路。

【請求項 12】 同一の半導体基体に、

一对の主電極及び絶縁ゲート電極を有し、直列接続されるとともに直流電源に接続され、直列接続点から出力が取り出される複数の第 1 の半導体装置と、

第 1 の主電極、第 2 の主電極及び制御電極を有し、第 1 の主電極が少なくとも 1 個の第 1 の半導体装置の絶縁ゲート電極に接続され、第 2 の主電極が前記 1 個の第 1 の半導体装置の一方の主電極に接続される第 2 の半導体装置と、

第 2 の半導体装置の制御電極と固定電位との間に接続される容量素子と、を形成することを特徴とする半導体集積回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、MOSFET や IGBT 等の半導体装置を用いた半導体回路及びこの回路をモノリシック化した半導体集積回路に関する。

【0002】

【従来の技術】 絶縁ゲートバイポーラトランジスタ（以下 IGBT と記す）や MOS 電界効果トランジスタ（以下 MOSFET と記す）等の電圧駆動型半導体装置は、高速なスイッチングが可能である。それ故、これらの半導体装置を電動機駆動用のインバータ装置などに応用すれば、装置を高周波化できる。従って、装置の小型軽量化や低騒音化が可能となる。しかし、高周波インバータ装置等において、これらの半導体装置がオン・オフスイッチングするときには、半導体装置に急激に変化する  $dV/dt$  が大きな電圧が印加される。このとき、IGBT や MOSFET が誤動作し、本来オフ状態に在るべき期間にターンオンする場合がある。このような場合、インバータ装置の上下アームの短絡事故が発生する。また、インバータ装置の回路を 1 個の半導体チップにモノリシック化した集積回路の場合には、半導体チップが破壊する。

【0003】 このような半導体装置の誤動作を防ぐ従来の技術としては、特開昭 63-99779 号公報に記載の回路がある。これは、主回路の IGBT のゲート、エミッタ間に MOSFET を接続し、この MOSFET のゲートと IGBT のゲート駆動用電源を抵抗素子を介して接続して、MOSFET のゲートをバイアスする回路である。この回路では、IGBT がオフ状態にあるときには、MOSFET のゲートがバイアスされてこの MOSFET がオンして、IGBT のゲート、エミッタ間を短絡する。これにより、IGBT のコレクタ、エミッタ間に  $dV/dt$  の大きな電圧が印加されても IGBT が誤動作しない。

【0004】

【発明が解決しようとする課題】 しかし、上記従来技術

においては、IGBTがオフのときには、常時MOSFETをオン状態にするため消費電力が増加する。また、高抵抗値かつ高耐圧の抵抗素子が必要となるため、インバータ回路などをモノリシック化したときにチップ面積が大きくなる。

【0005】本発明は、上記の点を考慮してなされたものであり、回路の低消費電力化及びモノリシック化したときのチップ面積縮小を実現する。

【0006】

【課題を解決するための手段】本発明の半導体回路は、一对の主電極及び絶縁ゲート電極を有する第1の半導体装置と、第1の主電極、第2の主電極及び制御電極を有し第2の半導体装置とを持っている。ここで、第2の半導体装置の第1及び第2の主電極は、それぞれ第1の半導体装置の絶縁ゲート電極及び一方の主電極に接続される。そして、容量素子が、第2の半導体装置の制御電極と固定電位との間に接続される。

【0007】また、本発明の集積回路において、同一の半導体基体に、上で述べた本発明の半導体回路を形成する。

【0008】

【作用】本発明の半導体回路によれば、第1の半導体装置の一对の主電極間に印加される電圧が変化するとき、容量素子に変位電流が流れる。この変位電流が第2の半導体装置の制御電極に制御信号として供給されるので、第2の半導体装置がターンオンする。これにより、第1の半導体装置の絶縁ゲート電極と一方の主電極の間が短絡されるので、 $dV/dt$ による第1の半導体装置のターンオン(誤動作)を防止できる。

【0009】このような本発明の半導体回路の動作を図1を用いて説明する。

【0010】図1は、本発明の基本回路例である。IGBT1(第1の半導体装置)のコレクタとエミッタ(一对の主電極)の間に過渡的に変化する電圧印加がされると、固定電位 $V_0$ とIGBT1のエミッタ電極(一方の主電極)との間において、コンデンサ3(容量素子)とゲート短絡用のMOSFET2(第2の半導体装置)のMOSゲート(制御電極)及びソース電極(第2の主電極)を介して変位電流が流れる。この変位電流により、MOSFET2のゲート寄生容量8及び9を充電され、MOSFET2のドレイン(第1の主電極)とソース電極の間がオン状態となる。一方、IGBT1も同様に、寄生容量 $C_{gc6}$ 、 $C_{ge7}$ が充電される。しかしながら、IGBT1のMOSゲート(絶縁ゲート電極)はMOSFET2のオン動作によりゲート、エミッタ間が短絡されるため、寄生容量をチャージした電荷は、MOSFET2を介して放電される。従って、IGBTのゲート電圧は上昇しないためIGBTがオンすることがない。

【0011】ここで、変位電流は電圧が変化するときのみに流れるので、回路の消費電力が低減する。

【0012】また、半導体基体に本発明の半導体回路を形成した本発明の集積回路によれば、高抵抗値または高耐圧の抵抗素子を使用すること保護回路部を形成できる。従って、チップ面積が縮小できる。

【0013】

【実施例】本発明の一実施例である回路の構成を図2に、回路の動作条件を図3に、更に過渡的に変化する電圧(以下 $dV/dt$ )と記す)発生時の回路動作を図4に、それぞれ示し説明する。

【0014】本実施例は、容量素子としてMOSFETを用い、その一端をIGBTのコレクタ電位に固定している。

【0015】まず、IGBT1がオンのときの動作を説明する。図3における回路動作条件は、スイッチ12、16がオンである。スイッチ16は、IGBT1のゲートに電圧を供給する。またスイッチ12はゲート短絡用MOSFET2のゲート、ソース間に充電された電荷を定電流源14にて引き抜き、MOSFET2を確実にオフする様に動作する。尚スイッチ13はスイッチ16との貫通を防ぐためオフとする。

【0016】次にIGBT1がオフのときの動作を説明する。図3における回路動作条件は、スイッチ13がオン、スイッチ12がオフ、スイッチ16がオフである。ここで、実際には、各スイッチとして半導体スイッチング素子を用いる。スイッチ13のオンにより定電流がツェナーダイオード18を介して定電流源15に流れ込み、IGBTのゲート、エミッタ間は、約0.7Vで逆バイアスされる。一方、スイッチ12がオフであるため、MOSFET2のゲートは、N-MOSFET10の寄生容量11とMOSFET2の寄生容量8( $C_{gd}$ )及び9( $C_{gs}$ )の分圧比により決定される電圧に向かって過渡的に変化する。ただし、ツェナーダイオード19のツェナー電圧によりクランプされる。

【0017】この状態でIGBT1のエミッタ、グランド間電位 $V_a$ が任意の電圧 $V_x$ から0Vに過渡的に降下する( $dV/dt$ )が発生したときの動作について、図4を用いて説明する。ただし、ゲート短絡用MOSFET2の寄生容量8及び9の充電電荷の初期条件が0とする。図4において、 $t_0$ の時点より電圧の降下が発生したとき、寄生容量11とゲート短絡用MOSFET2の寄生容量8及び9において電荷の充電が開始され、図4(b)に示すようにMOSFET2のゲート、ソース間電圧が上昇する。この電圧がMOSFET2のしきい値( $V_{th1}$ )まで達するとMOSFET2はオンする。一方IGBTも同様に、寄生容量6( $C_{gc}$ )及び7( $C_{ge}$ )における電荷の充電により、図4(c)が示すようにゲート、エミッタ間電圧が上昇する。このときMOSFET2がないと、IGBTのゲート、エミッタ間電圧は図4(c)の点線のように推移し、IGBTのゲートのしきい値電圧( $V_{th2}$ )を超えるので、IGBTがターンオンしてしまう。しかし、ゲート短絡用MO

SFET2 がオンして ( $t_1$ ) IGBT のゲートが短絡されるため、寄生容量 7 が放電し IGBT のゲート、エミッタ間電圧はしきい値まで達することなく IGBT はオンすることができない。従って、( $dV/dt$ ) に対する誤動作  $t$  が防止できる。

【0018】なお、本実施例における容量素子ではほとんど電力損失を発生しないか、または抵抗素子に比べ電力損失がかなり小さい。従って、本実施例によれば、消費電力を低減できる。また、本実施例は、容量素子として MOSFET10 の持つ容量を用いているので、集積回路に適用すればチップサイズを小さくできる。

【0019】次に、本発明の他の実施例を図 5 に示す。本実施例においても容量素子として MOSFET を用いているが、その一端はゲート駆動用電源の電位に固定している。すなわち、IGBT のゲート駆動用電源 20 が主電源 17 の高電位側に接続され、この IGBT のゲート駆動用電源 20 の高電位側に N-MOSFET10 のドレインが接続されている。

【0020】本実施例における ( $dV/dt$ ) 発生時の動作について説明する。IGBT がオフ状態では、図 2 と同様にスイッチ 16、12 がオフ、スイッチ 13 がオンである。このとき N-MOSFET10 の寄生容量 11 は、

〔(主電源 17 の電圧 + IGBT 駆動用電源 20 の電圧) - ( $V_a$  + ツェナーダイオード 19 のツェナー電圧)〕の電圧で充電される。( $dV/dt$ ) が発生したときは、前実施例の場合と同様である。

【0021】本実施例においては、誤動作防止用の容量素子として用いる MOSFET はゲート回路側に接続されるので、この容量素子を介しての主回路側とゲート回路側の干渉が起こりにくい。このため、本実施例の回路を半導体チップにモノリシック化した場合、主回路部とゲート回路部が干渉しないような素子のレイアウトが容易になる。

【0022】図 6 は、図 5 の回路を使用した三相ブラシレスモータ駆動用のモノリシック化されたインバータ回路の実施例を示す。図 6 において、モータ駆動用電源 30 は回転子の磁極位置を検出するホール素子を内蔵した三相ブラシレスモータ 39 を駆動する電源である。このモータ駆動用電源 30 は、IGBT37a~37f 及びこれらの各々に逆並列に接続される還流ダイオード 38a~38f で構成される三相ブリッジ回路に接続される。そして、三相ブリッジ回路の出力はモータ 39 へと接続されている。モノリシック IC 制御用電源 31 は下アーム IGBT37d~37f のゲート駆動回路 36a~36c と、モータ 39 内蔵のホール素子出力信号を受けて分配する信号変換回路 33 を駆動する電源である。電源回路 34 は、上アーム IGBT37a~37c のゲート駆動回路 35a~35c に供給する電圧を発生する回路である。従って、上アーム用の外部ゲート電源は不要となるので、装置構成が簡単になる。また、モノリシック IC の制御信号発生器 32 は各

アームの IGBT のオンオフデューティを制御する回路である。図において破線内部がモノリシック化した IC 40 である。

【0023】以上の回路で図 5 の回路を適用した部分は、上アーム駆動回路 35a~35c である。ここで、図 5 の IGBT 駆動用電源 20 は本実施例の電源 34 に対応する。すなわち、図 6 のようなインバータ回路においては、図 5 の回路が好適である。本実施例においては、図 6 の様なブリッジ構成において、IGBT の上アームは下アーム IGBT37a~37f のチョッピングにより ( $dV/dt$ ) が印加されても誤動作しない。

【0024】図 7 は、図 6 におけるモノリシック化した IC 40 のパターンレイアウトの例を示す。本図の記号は図 6 と対応しており、上アーム駆動回路は図のハッチング箇所 35a~35c となる。図 5 に示したような誤動作防止回路は、35a~35c にそれぞれ形成されている。従って、従来のように抵抗素子を用いた回路では、高耐圧または高抵抗値の抵抗素子が複数個必要なためチップサイズ及び消費電力が大きくなる。これに対し、本実施例では、MOSFET の持つ容量を用いた回路であるから、従来に比べチップサイズ及び消費電力が低減する。

【0025】図 8 は本発明の別の実施例である半導体回路を示す。MOSFET2 のゲートと IGBT1 のコレクタの間に通常のコンデンサ 3 (2つの金属電極に誘電体を挟んだもの) を接続する。コンデンサ 3 は、IGBT1 のコレクタ、エミッタ間に過渡的な電圧 ( $dV/dt$ ) が発生する場合にのみ電流を流し、MOSFET2 のゲート、ソース間にある寄生容量  $C_{gd8}$ 、 $C_{gd9}$  を充電して MOSFET2 をターンオンする。なお、ゲート短絡用 MOSFET2 をオフする手段としてゲート、ドレイン間にあるスイッチ 4 が、MOSFET2 のゲート寄生容量 8 及び 9 の電荷を放電する。スイッチ 4 としては、半導体スイッチング素子を用いる。スイッチ 4、IGBT 駆動回路 5 を制御する信号に応じて、IGBT1 を ( $dV/dt$ ) から保護する期間内及び IGBT1 のオフ期間内ではオフし、IGBT1 をターンオンする期間内及び IGBT1 のオン状態の期間内においてはオンする。

【0026】以上の実施例では、主回路のスイッチング素子が IGBT であるが、本発明は主回路に MOSFET などの絶縁ゲート型半導体装置を用いる場合にも適用できる。また、ゲート短絡用の MOSFET の代わりに、バイポーラトランジスタを用いることもできる。この場合は、容量素子をバイポーラトランジスタのベースに接続する。また、本発明は、インバータ装置のみならず、スイッチング素子に ( $dV/dt$ ) が印加される他の装置にも適用できる。さらに、これらの装置の回路を、集積回路としてのみならず、単体素子またはモジュールを使って構成する場合にも有効である。

【0027】なお、本発明において、ゲート短絡用の半

導体装置及び容量素子からなる回路は、いわば ( $dV/dt$ ) 検出回路である。従って、このような検出回路の出力信号に応じて、主回路の半導体装置の駆動回路からオフ制御信号を出力して、主回路半導体装置の誤動作を防止することもできる。

【0028】

【発明の効果】本発明の半導体回路によれば、( $dV/dt$ )が発生したときのみ、ゲート短絡回路が動作して半導体装置の誤動作を防止するので、従来技術に比べて、消費電力を低減できる効果がある。

【0029】また、本発明回路をモノリシックした半導体集積回路によれば、セル面積が大きな高耐圧または高抵抗値の抵抗が不要になるので、チップ面積を縮小できる効果がある。

【図面の簡単な説明】

【図1】本発明の基本回路例。

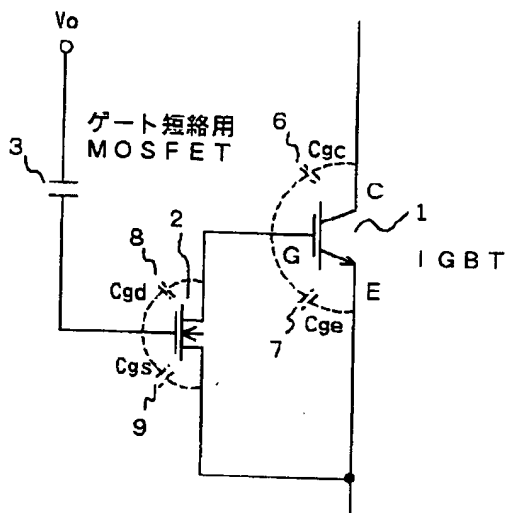
【図2】本発明の一実施例である回路の構成。

【図3】回路の動作条件。

【図4】過渡的に変化する電圧発生時の回路動作。

【図1】

図 1



【図5】本発明の他の実施例。

【図6】図5の回路を使用した三相ブラシレスモータ駆動用のモノリシック化されたインバータ回路の実施例。

【図7】図6におけるモノリシック化したICのパターンレイアウトの例。

【図8】本発明の別の実施例。

【符号の説明】

1…IGBT、2…ゲート短絡用MOSFET、3…容量素子、4, 12, 13, 16…スイッチ、5…IGBT駆動回路、10…N-MOSFET、14, 15…定電流源、17…主電源、18, 19…ツェナーダイオード、20…IGBTのゲート駆動用電源、30…モータ駆動用電源、31…モノリシックIC制御用電源、32…モノリシックICの制御信号発生器、33…信号変換回路、34…電源回路、35a~35c, 36a~36c…駆動回路、37a~37f…IGBT、38a~38f…還流ダイオード、39…ホール素子内蔵三相ブラシレスモータ、40…モノリシックIC。

【図7】

図 7

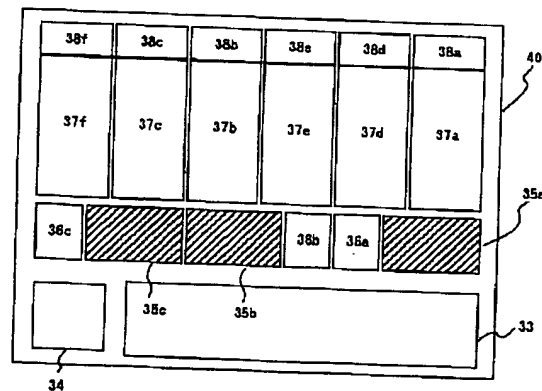
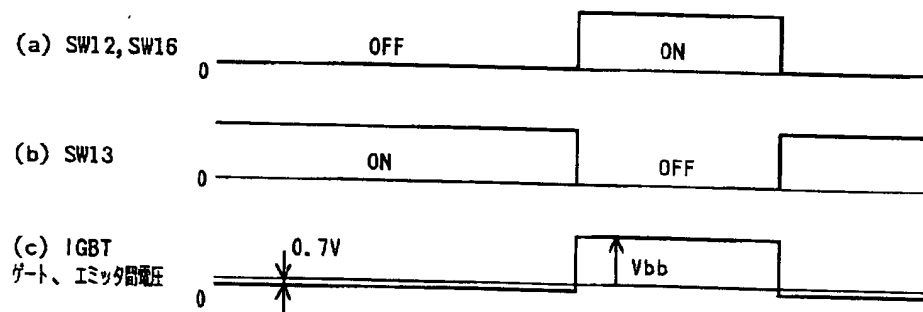
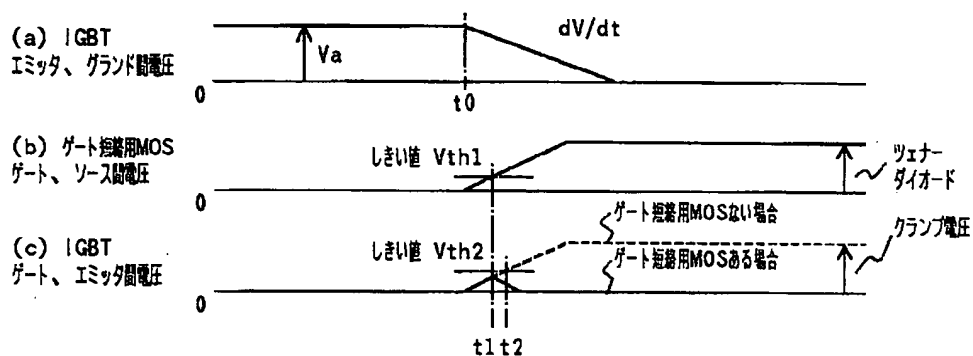


圖 2



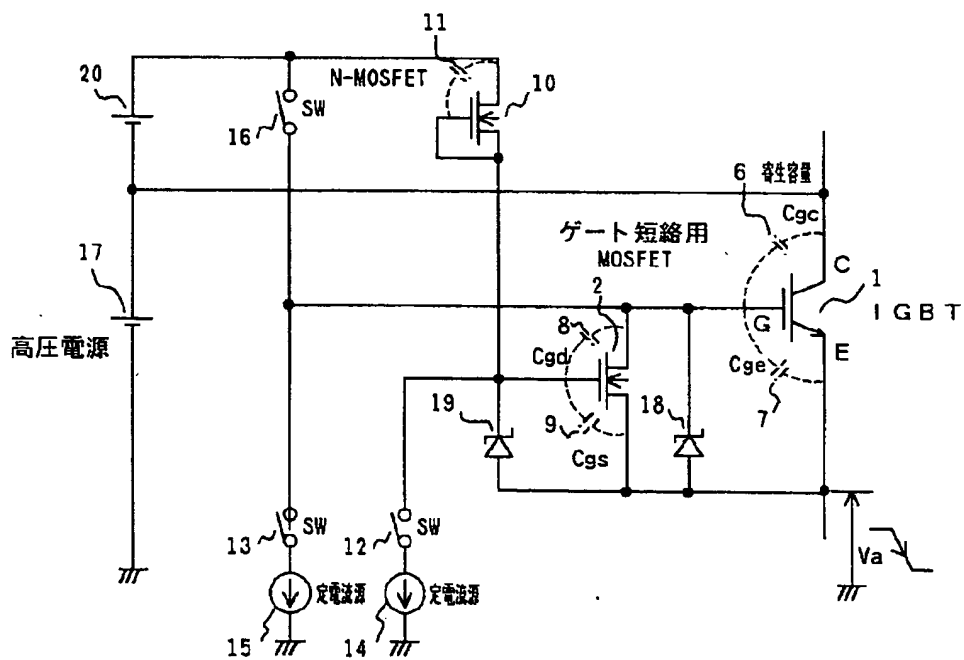
【図 4】

図 4



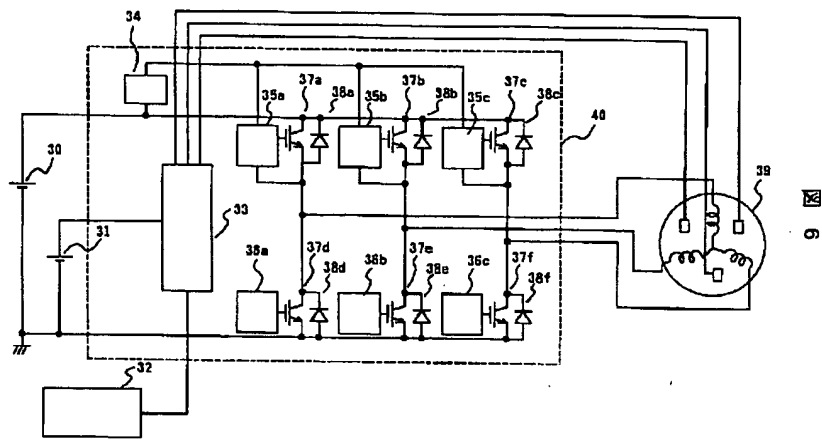
【図 5】

図 5



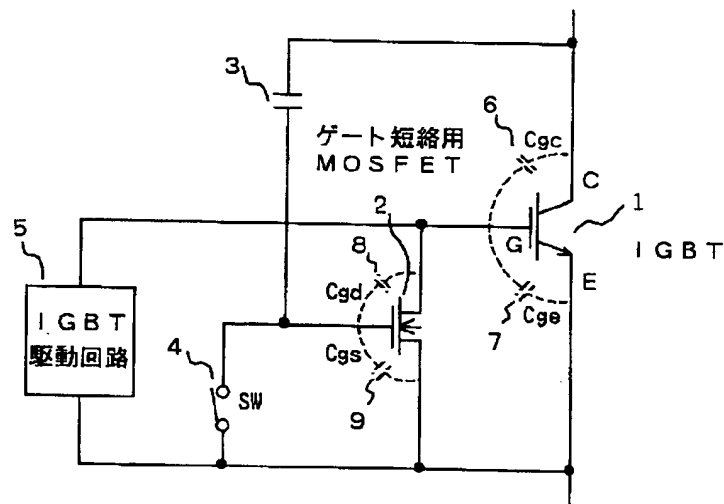


【図6】



【図8】

図 8



フロントページの続き

(72)発明者 大関 正一

茨城県日立市弁天町三丁目10番2号 日立

原町電子工業株式会社内